

# Themen

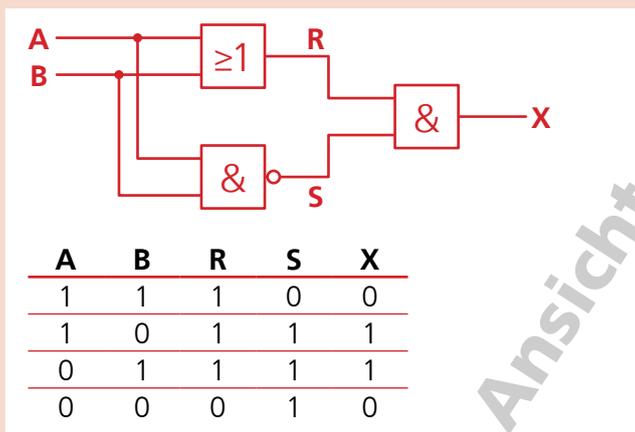
	Seite	
Aussagenlogik	C-22	7
Logische Gatter	C-24	8
Schaltnetze	C-26	9
Simulator IO	C-28	10
Universelle logische Gatter	C-31	11
Von der Wahrheitstafel zum Schaltnetz	C-35	12
Halbaddierer und Volladdierer	C-40	13
RS-Flipflop	C-44	14

# Schaltnetze

Logische Gatter verfügen stets nur über einen oder zwei Eingänge. Benötigt man mehr als zwei Eingänge, kombiniert man zwei oder mehr Gatter zu einem Schaltnetz. Auf diese Weise lassen sich auch mit Hilfe mehrerer logischer Gatter die Schaltfunktionen nicht verfügbarer logischer Gatter nachbilden.

Die Ausgangssignale eines Schaltnetzes hängen – wie bei einem logischen Gatter – nur von den Eingangssignalen ab. Ändert sich das Signal an einem Eingang, wirkt sich das sofort auf das Ausgangssignal aus. Das neue Ausgangssignal ist unabhängig davon, welche Zustände die Eingangssignale vorher hatten. Man sagt deshalb, dass es in Schaltnetzen keine Rückkopplung gibt.

Schaltnetze werden von links oben nach rechts unten gelesen. In unserem Beispiel bedeutet das, dass A und B die Eingangssignale sind. X ist das Ausgangssignal des Beispielschaltnetzes.



In einem Schaltnetz können die Signale A und B gleichzeitig Eingangssignale von zwei oder mehr Gattern sein. Die abzweigenden Signalleitungen werden im Schaltnetz durch einen Punkt • gekennzeichnet. Zwei Leitungen, die sich einfach nur kreuzen, werden hingegen ohne Punkt dargestellt.

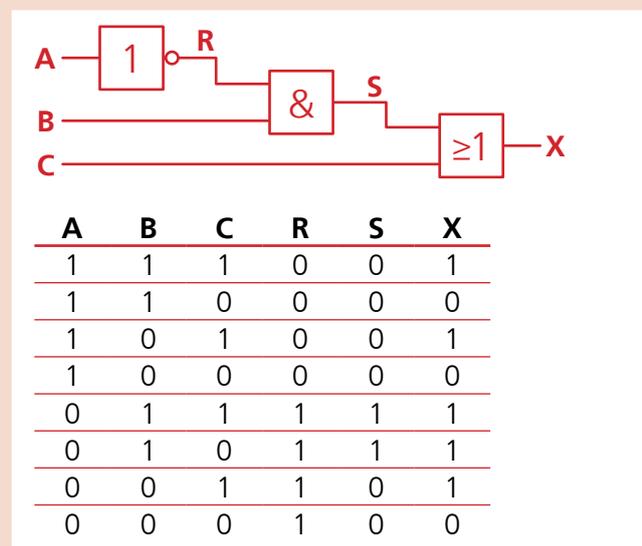
Auch die Ausgangssignale von Schaltnetzen können in Wahrheitstafeln notiert werden. Hilfwerte erleichtern dabei das Ermitteln der Werte des Ausgangssignals X. Der Hilfwert R ist das Ausgangssignal des ODER-Gatters, der Hilfwert S ist das Ausgangssignal des NAND-Gatters.

Die Hilfwerte R und S sind zugleich die Eingangssignale des UND-Gatters. Dadurch lässt sich aus den Hilfwerten R und S der Ausgangswert X des Schaltnetzes ermitteln.

Vergleicht man die Werte des Ausgangssignals X des Beispielschaltnetzes mit den Wahrheitstabellen der unterschiedlichen logischen Gatter, fällt auf, dass das Beispielschaltnetz die gleichen Ausgangssignale hat wie ein XOR-Gatter.

In solchen Fällen – also wenn zwei Schaltnetze eine identische Wahrheitstabelle haben – spricht man von äquivalenten Schaltnetzen.

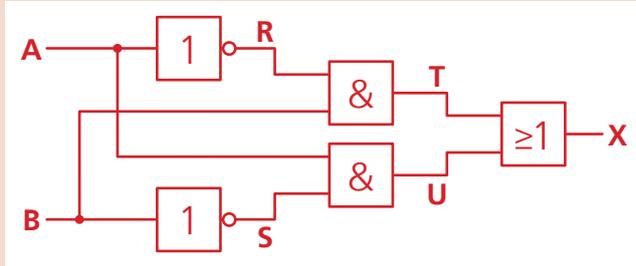
In Schaltnetzen mit mehr als zwei Eingangssignalen gibt es mehr als vier mögliche Kombinationen der Eingangssignalwerte. Für drei Eingangswerte sind es  $2^3$ , also acht Kombinationen. Entsprechend viele Zeilen hat auch die Wahrheitstabelle eines solchen Schaltnetzes.



# Schaltnetze

### Aufgabe 1

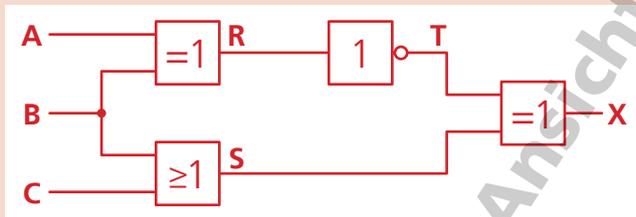
Erstelle die Wahrheitstabelle für dieses Schaltnetz mit zwei Eingängen.



A	B	R	S	T	U	X
1	1	0	0	0	0	0
1	0	0	1	0	1	1
0	1	1	0	1	0	1
0	0	1	1	0	0	0

### Aufgabe 2

Erstelle die Wahrheitstabelle für dieses Schaltnetz mit drei Eingängen.

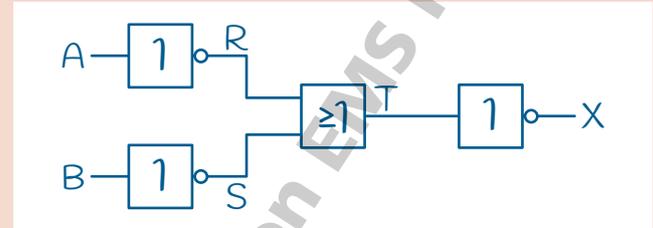


A	B	C	R	S	T	X
1	1	1	0	1	1	0
1	1	0	0	1	1	0
1	0	1	1	1	0	1
1	0	0	1	0	0	0
0	1	1	1	1	0	1
0	1	0	1	1	0	1
0	0	1	0	1	1	0
0	0	0	0	0	1	1

### Aufgabe 3

Zeichne ein Schaltnetz aus NICHT- und ODER-Gattern, das äquivalent zu einem UND-Gatter ist.

Überprüfe das Ergebnis mit Hilfe einer Wahrheitstabelle.

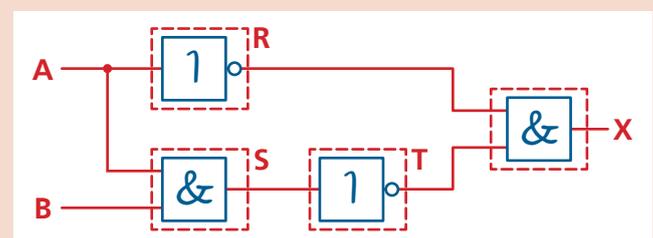
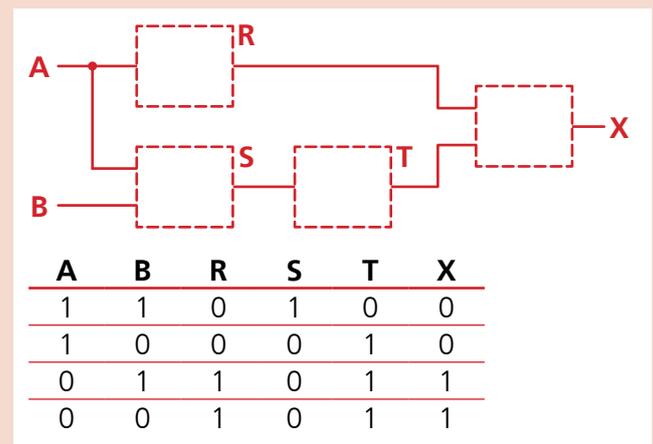


A	B	R	S	T	X
1	1	0	0	0	1
1	0	0	1	1	0
0	1	1	0	1	0
0	0	1	1	1	0

### Aufgabe 4

Das Schaltnetz aus vier logischen Gattern mit zwei Eingängen hat für die Zwischenwerte R, S, T und das Ausgangssignal X die darunter gezeigte Wahrheitstabelle.

Zeichne ein Beispiel, welche logischen Gatter in den vier Kästchen platziert werden können, um diese Wahrheitstabelle zu erhalten.



# Universelle logische Gatter

Für die zahlreichen Funktionen, die mit Hilfe der Bauteile auf einer Steuerungsplatine erzeugt werden müssen, steht meist wenig Platz zur Verfügung. Deshalb werden Chips genutzt, die mehrere Schaltfunktionen in einem Gehäuse vereinen.



Vier NAND-Gatter mit jeweils zwei Eingängen in einem Gehäuse (Foto: Stefan506, Lizenz: CC BY-SA 3.0)

Der Chip im Foto enthält beispielsweise vier NAND-Gatter mit jeweils zwei Eingängen und einem Ausgang. Äußerlich identisch aussehende Chips gibt es auch mit vier NOR-Gattern.

Dass gerade diese beiden Gatter in diesen Chips verwendet werden, liegt daran, dass sich mit ihnen alle anderen logischen Schaltfunktionen realisieren lassen. Sie werden deshalb universelle logische Gatter genannt und in großer Stückzahl produziert.

### Alles aus NAND und NOR

NAND- und NOR-Gatter liefern bei zwei identischen Eingangssignalen das jeweils invertierte (umgekehrte) Ausgangssignal. Das nutzt man, um die Schaltfunktion NICHT zu erzeugen. Das Eingangssignal A wird an beide Eingänge angelegt, das Ausgangssignal X ist entsprechend das invertierte A.



Diese einfache Möglichkeit, das Eingangssignal umzukehren wird auch bei allen weiteren Schaltfunktionen genutzt, die sich aus NAND und NOR erzeugen lassen.

Der Aufbau der Schaltnetze, in denen die NAND- oder NOR-Gatter verknüpft werden, lässt sich aus den Wahrheitstabellen der beiden universellen Gatter und der jeweils angestrebten Schaltfunktion ermitteln.

Anhand der Wahrheitstabellen von NAND und UND ist leicht zu sehen, dass UND ein NAND mit invertiertem Ausgangssignal ist. Für das Umkehren des Ausgangssignals wird ein zweites NAND-Gatter an das erste angefügt.

NAND		
A	B	X
1	1	0
1	0	1
0	1	1
0	0	1

➔

UND		
A	B	X
1	1	1
1	0	0
0	1	0
0	0	0

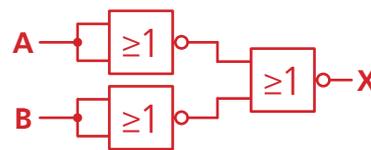


Der Vergleich der Wahrheitstabellen von NOR und UND zeigt, dass UND ein NOR mit invertierten Eingangssignalen ist. Entsprechend werden dem NOR-Gatter zwei weitere NOR-Gatter vorangestellt, die die Eingangssignale umkehren.

NOR		
A	B	X
1	1	0
1	0	0
0	1	0
0	0	1

➔

UND		
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1



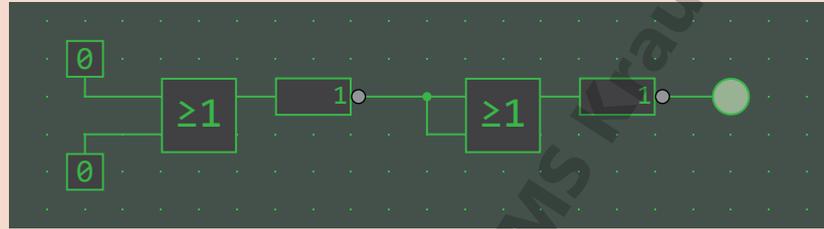
Auf diese Weise, also durch das Umkehren von Eingangs- oder Ausgangssignalen, lassen sich aus NAND- oder NOR-Gattern auch Schaltnetze für alle weiteren logischen Schaltfunktionen bauen. Dabei wird stets versucht, mit vier Gattern auszukommen, damit sich das ganze Schaltnetz mit einem Standardchip mit vier NAND- oder NOR-Gattern bauen lässt.

# Universelle logische Gatter

## Aufgabe 1

Nutze die Simulationsumgebung Simulator IO, um ein Schaltnetz für die Schaltfunktion ODER aus NOR-Gattern zu bauen.

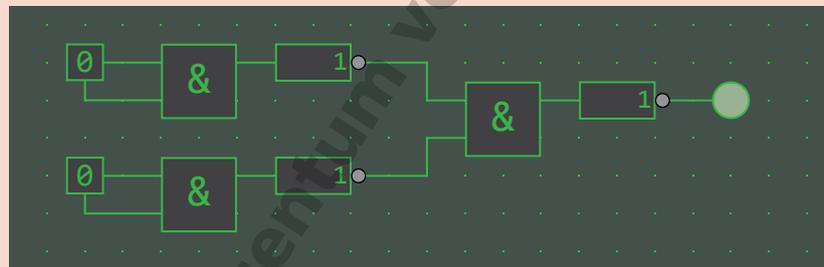
### Beispiellösung



## Aufgabe 2

Nutze die Simulationsumgebung Simulator IO, um ein Schaltnetz für die Schaltfunktion ODER aus NAND-Gattern zu bauen.

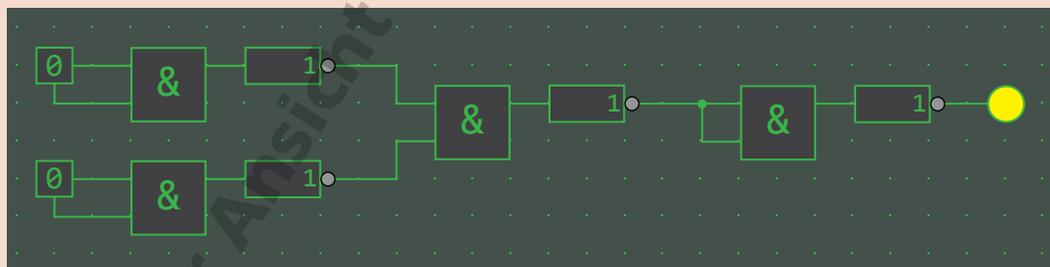
### Beispiellösung



## Aufgabe 3

Nutze die Simulationsumgebung Simulator IO, um ein Schaltnetz für die Schaltfunktion NOR aus NAND-Gattern zu bauen.

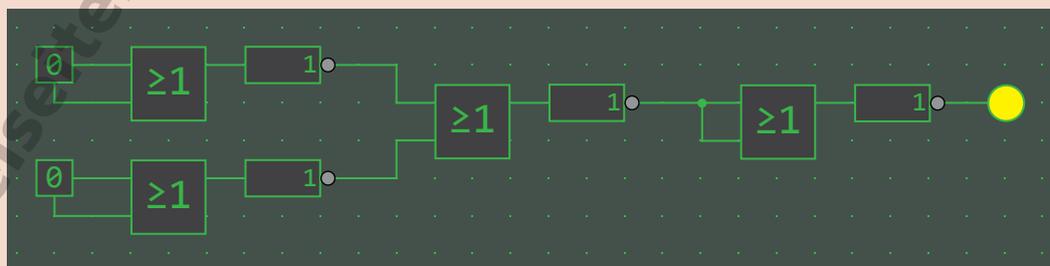
### Beispiellösung



## Aufgabe 4

Nutze die Simulationsumgebung Simulator IO, um ein Schaltnetz für die Schaltfunktion NAND aus NOR-Gattern zu bauen.

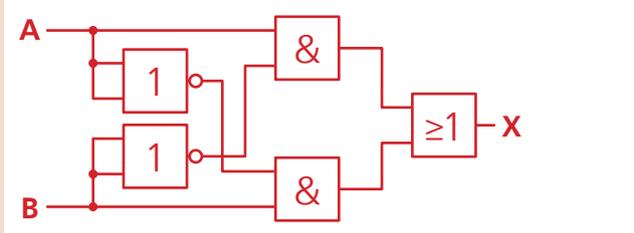
### Beispiellösung



# Universelle logische Gatter

## Aufgabe 5

Ein Schaltnetz mit der Schaltfunktion XOR lässt sich in dieser Form mit zwei NICHT-, zwei UND- und einem ODER-Gatter aufbauen.

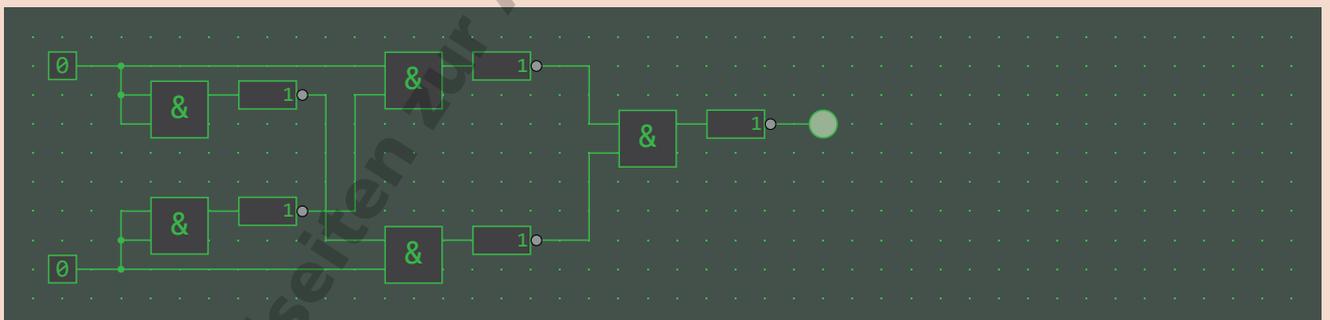
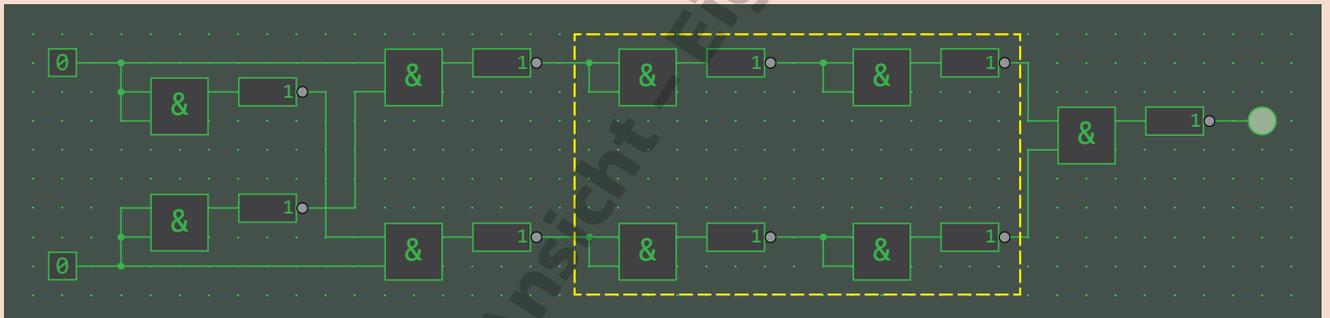


a) Nutze die Simulationsumgebung Simulator IO, um ein Schaltnetz für die Schaltfunktion XOR aus NAND-Gattern zu bauen.

Folge dabei dem dargestellten Schaltnetzaufbau und ersetze die fünf Gatter durch das jeweils äquivalente Schaltnetz aus NAND-Gattern.

b) Untersuche das Schaltnetz auf möglicherweise überflüssige NAND-Gatter und entferne sie.

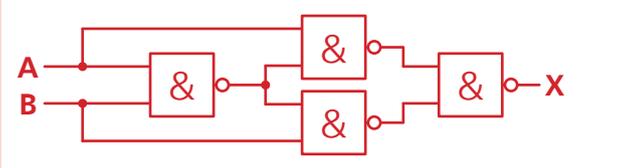
## Beispiellösung



# Universelle logische Gatter

## Aufgabe 6

Dieses Schaltnetz mit vier NAND-Gattern wird häufig genutzt, da es sich mit einem Standardchip umsetzen lässt.

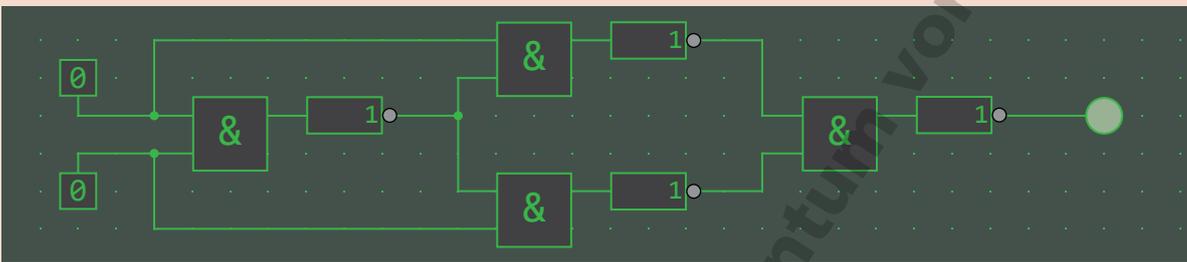


Baue das Schaltnetz in der Simulationsumgebung Simulator IO.

Wechsle in den Testmodus und erstelle mithilfe des Schaltnetzes eine Wahrheitstabelle.

Welche Schaltfunktion lässt sich mit diesem Schaltnetz realisieren?

## Beispiellösung



A	B	X
1	1	0
1	0	1
0	1	1
0	0	0

Mit diesem optimierten Schaltnetz erhält man mit nur vier NAND-Gattern die XOR-Funktion. Damit ist es auch mit einem Standardchip mit vier NAND-Gattern möglich, die XOR-Funktion umzusetzen.

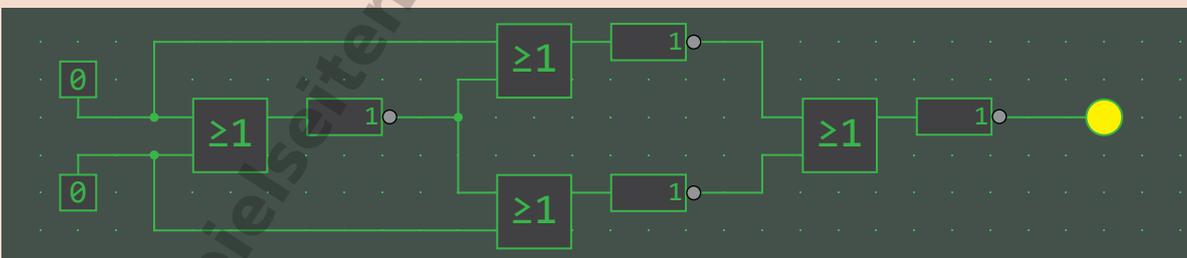
## Aufgabe 7

Ersetze im Schaltnetz aus Aufgabe 6 in der Simulationsumgebung Simulator IO die NAND-Gatter durch NOR-Gatter.

Wechsle in den Testmodus und erstelle mithilfe des Schaltnetzes eine Wahrheitstabelle.

Welche Schaltfunktion lässt sich mit diesem Schaltnetz realisieren?

## Beispiellösung



A	B	X
1	1	1
1	0	0
0	1	0
0	0	1

Mit diesem optimierten Schaltnetz erhält man mit nur vier NOR-Gattern die XNOR-Funktion. Damit ist es auch mit einem Standardchip mit vier NOR-Gattern möglich, die XNOR-Funktion umzusetzen.